

デジタル回路

第15講

順序回路 (2) D-FF



専門学校 静岡電子情報カレッジ

ITゲーム&ロボットシステム学科

ロボットシステム研究 & ITスペシャリスト研究

有賀 浩

第15講 順序回路（2）D-FF

1. D-FFとは
2. D-FFによる非同期式カウンタ
3. 非同期式4進カウンタ
4. 非同期式N進カウンタ

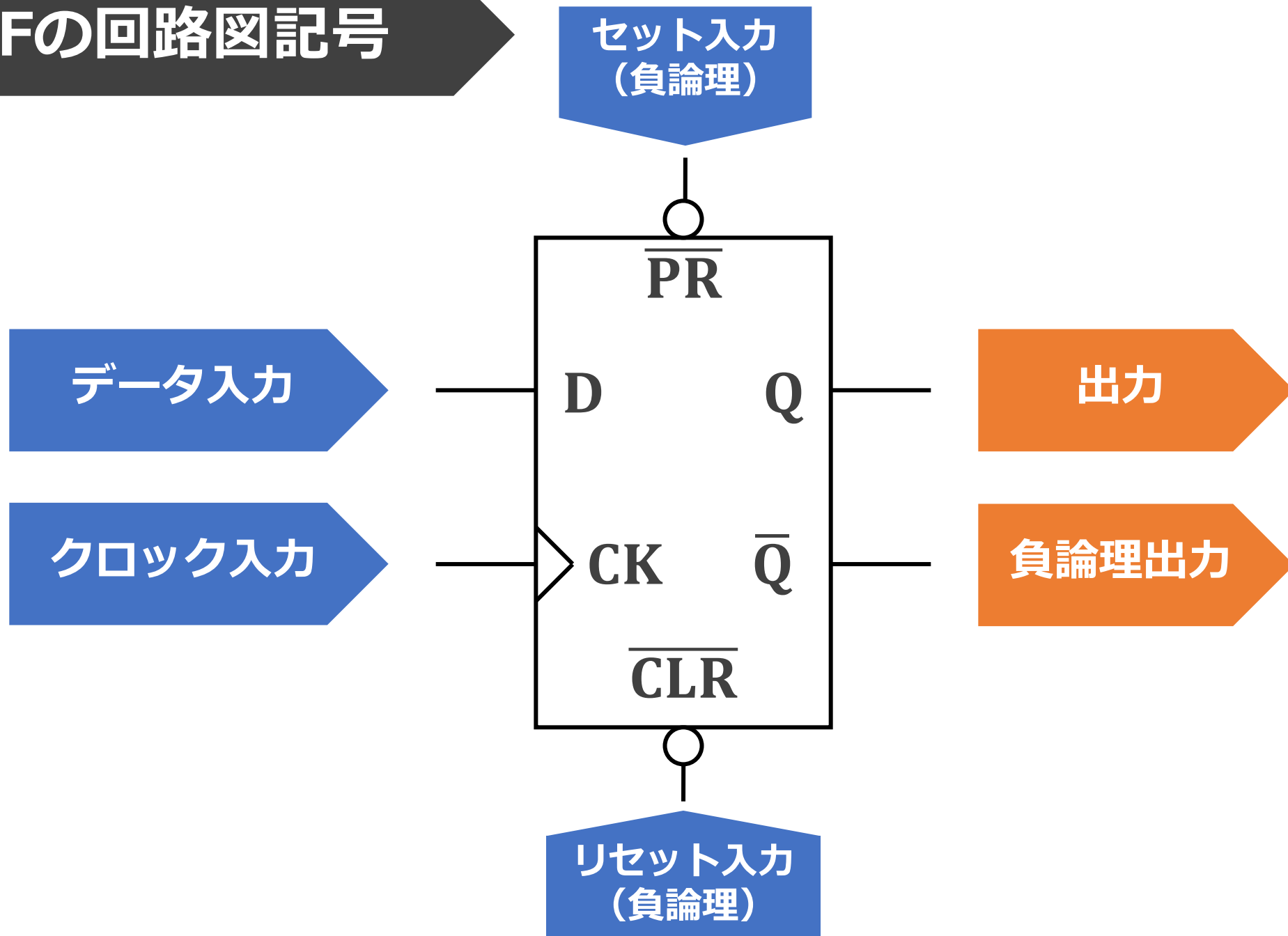
1

D-FFとは

D-FFとは

データ入力値を
クロックに同期して読み込み・出力
次のクロックまでの間、保持（記憶）する
フリップフロップ回路
（≒1bitのメモリ）

D-FFの回路図記号



信号の別称

プリセット $PR = Set$
出力を1にする

クリア $CLR = Reset$
出力を0にする

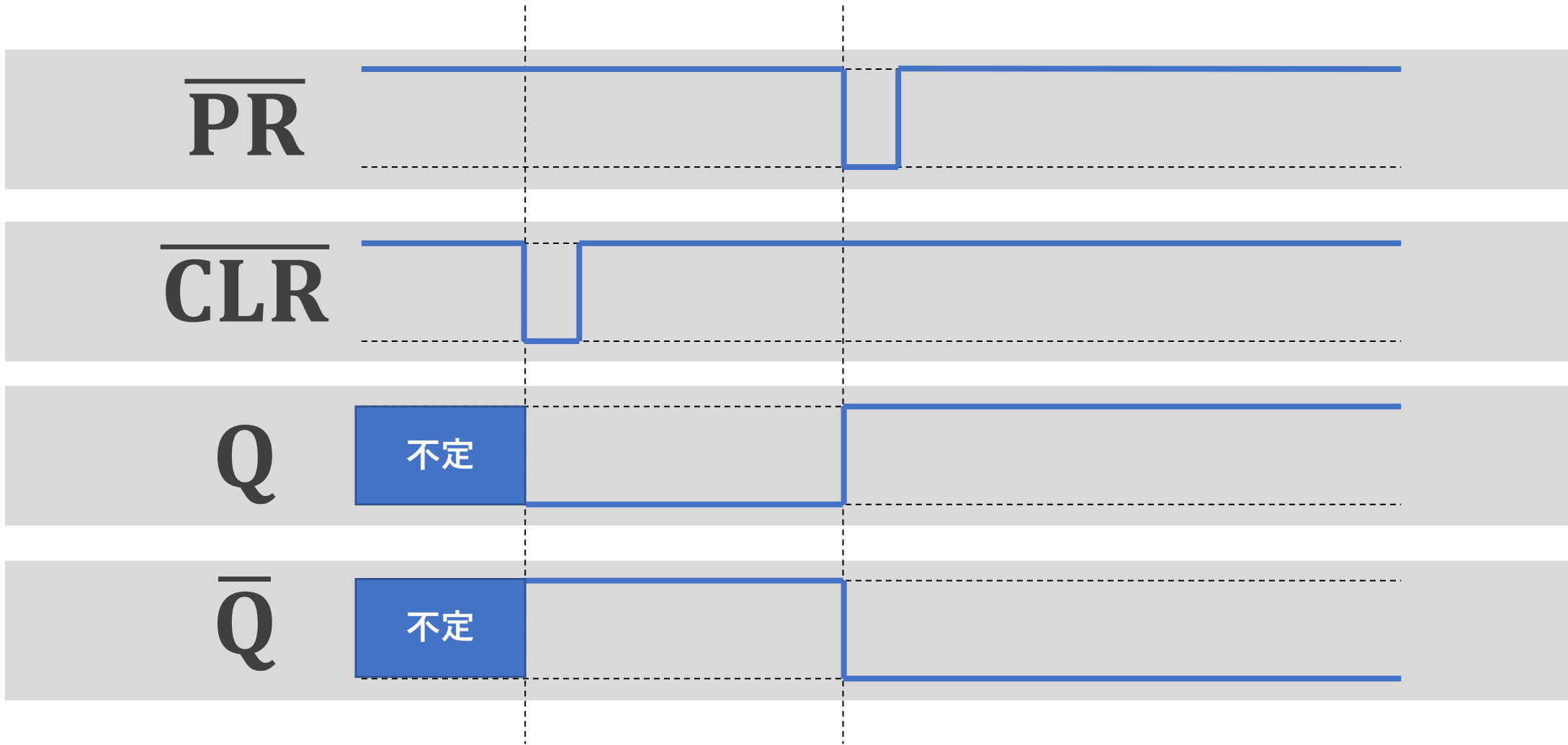
D-FFの動作（1）

セット信号 $\overline{\text{PR}}$ を ON(**L**) にすると
Qは**H**になる。

リセット信号 $\overline{\text{CLR}}$ を ON(**L**) にすると
Qは**L**になる。

クロックとは無関係 $\Rightarrow$ 非同期

タイムチャートで確認



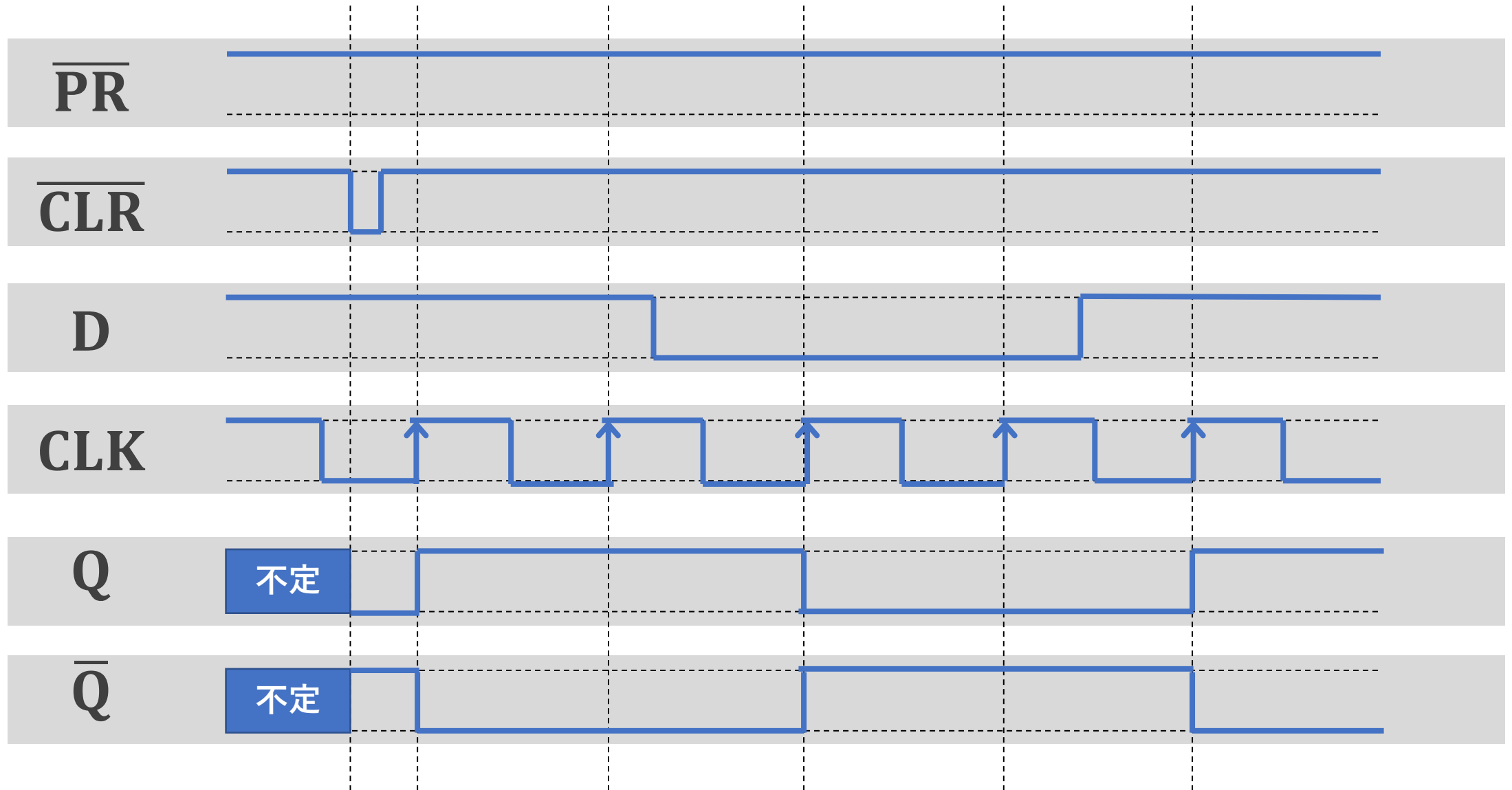
※クロック信号は入力されていないものとする

D-FFの動作（2）

クロック信号の**エッジ**（変化点）で
Dが記憶（保持）され
Qへ出力される

⇒ クロックに「同期」

タイムチャートで確認



D-FFの真理値表

入力				出力	
$\overline{PR}$	$\overline{CLR}$	D	CLK	Q	$\overline{Q}$
1	1	0		0	1
1	1	1		1	0
1	1	x	none	保持	
0	1	x	none	1	0
1	0	x	none	0	1

$\overline{PR} = 0$ のとき
 $Q = 1, \overline{Q} = 0$

$\overline{CLR} = 0$ のとき
 $Q = 0, \overline{Q} = 1$

D, CLKは無関係

2

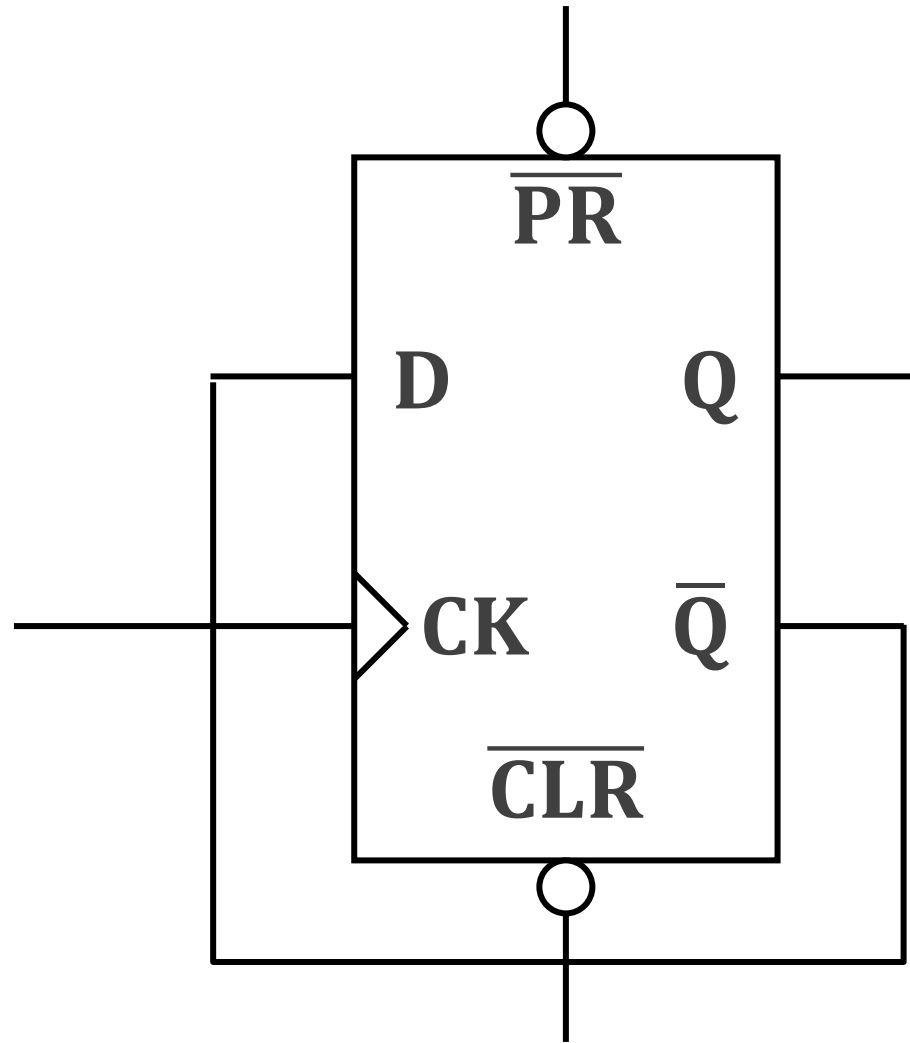
D-FFによる非同期式カウンタ

カウンタとは

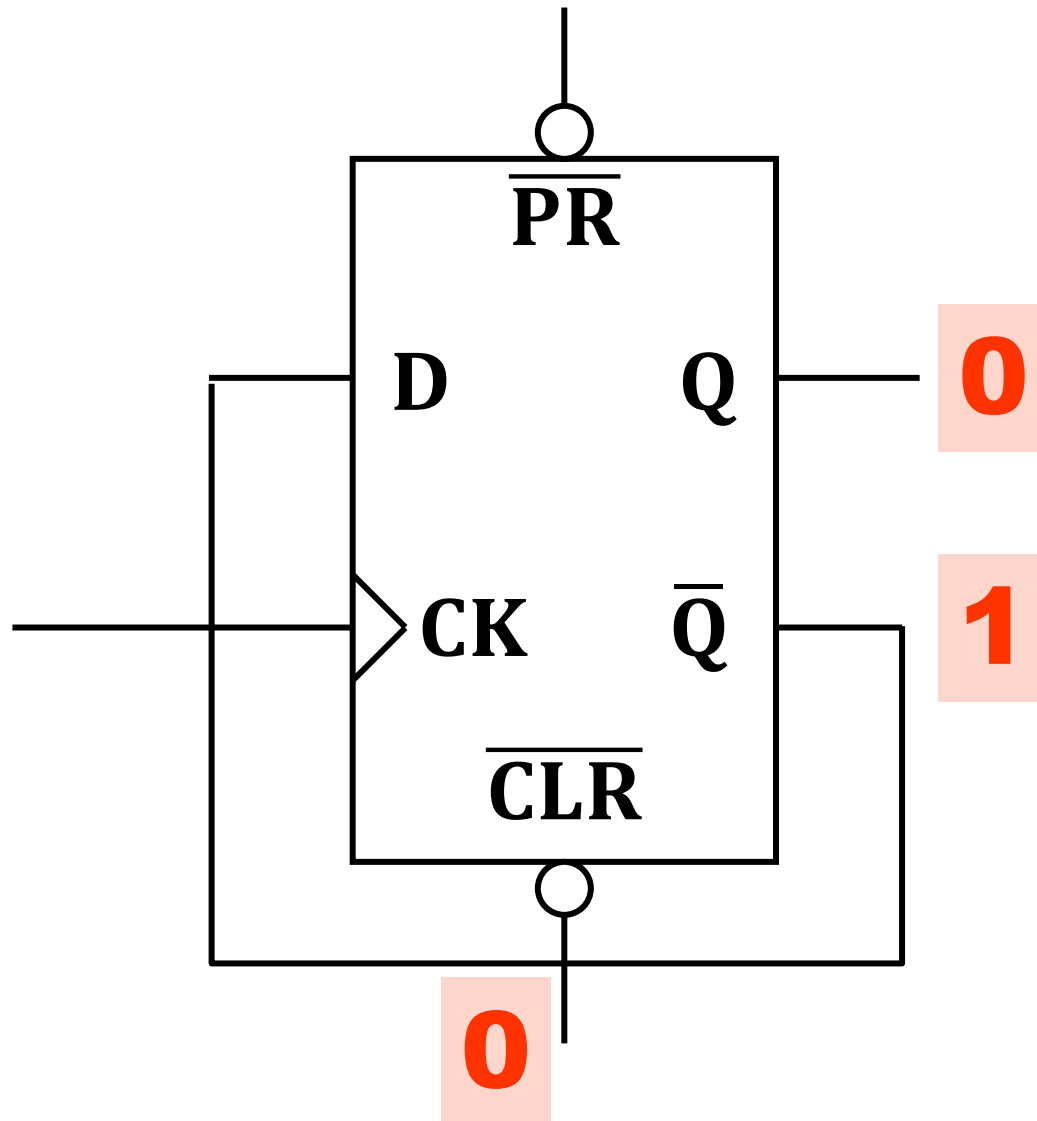
数を数える機械 計数器

デジタル回路では
クロックのエッジを数える

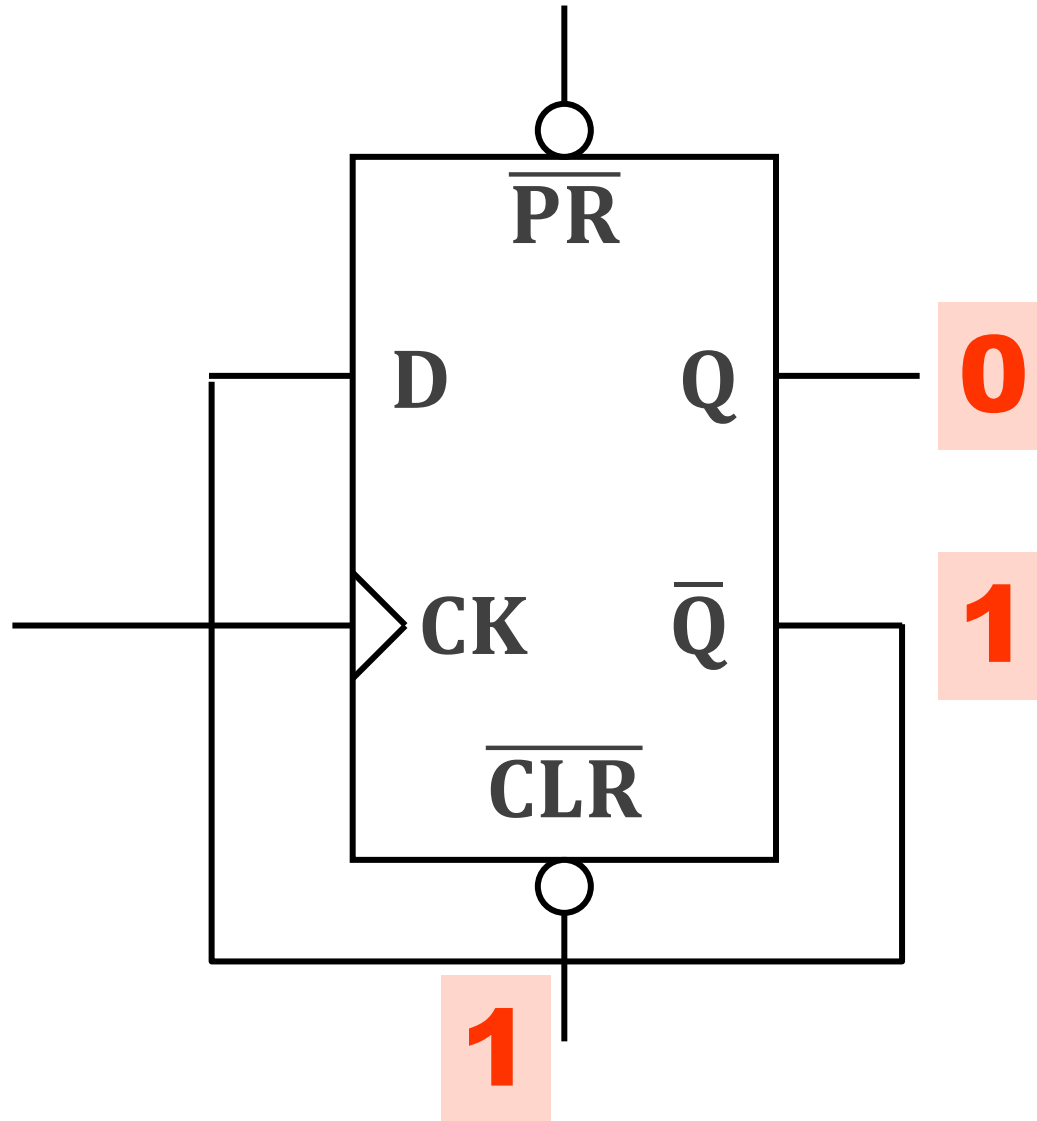
動作を調べよう



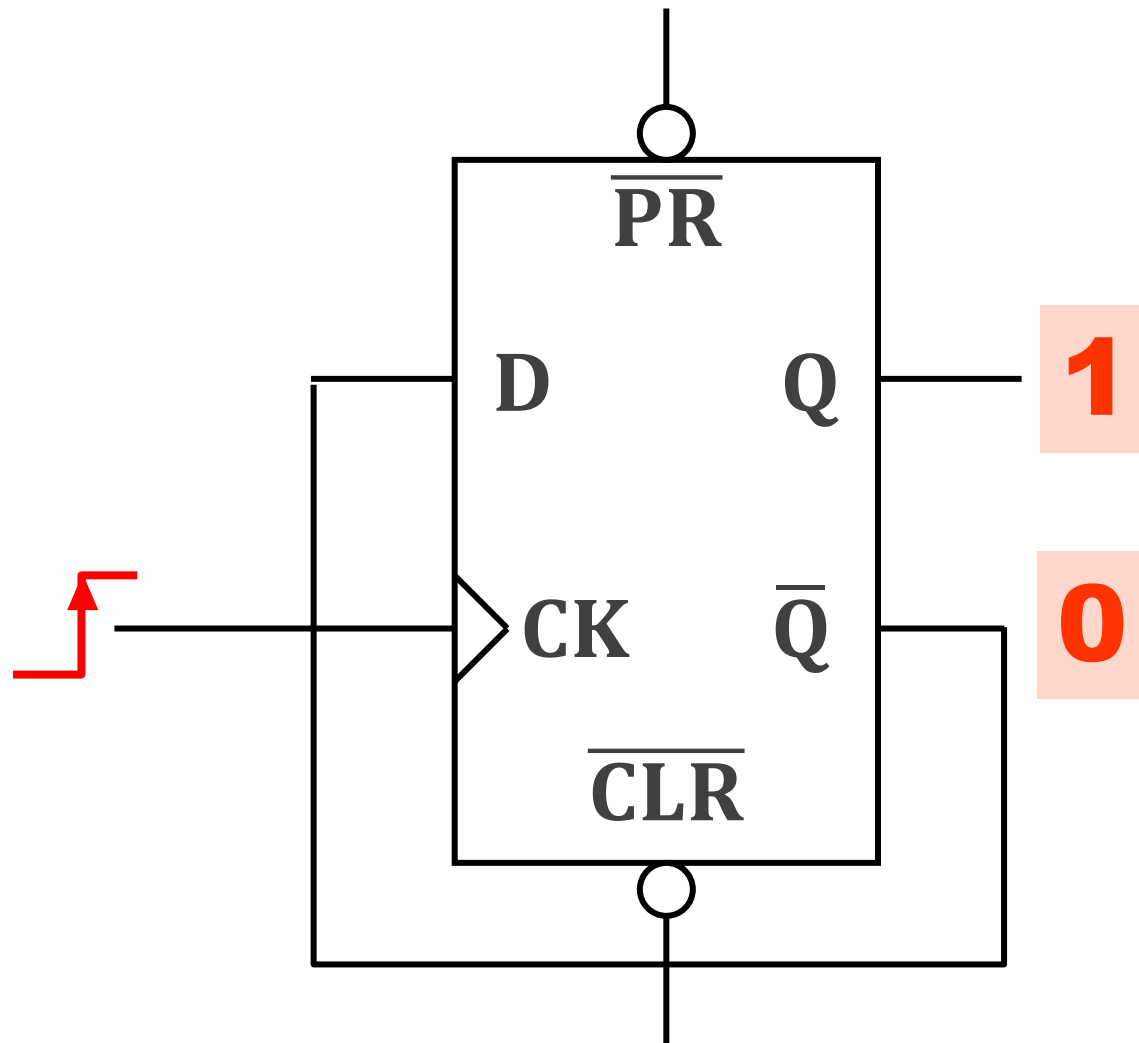
①リセットすると



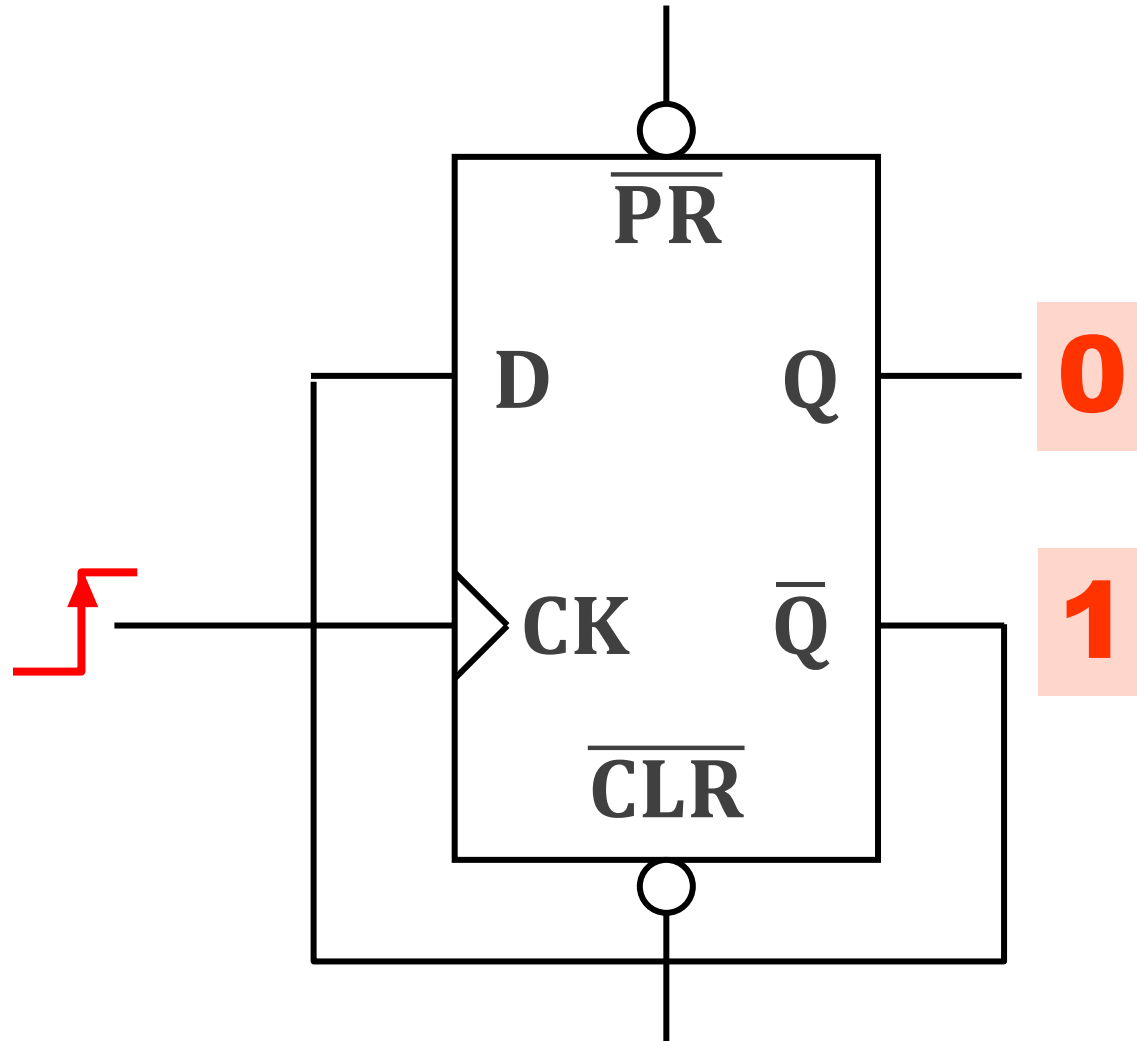
②リセット解除



③ クロックが 0 → 1 に変化



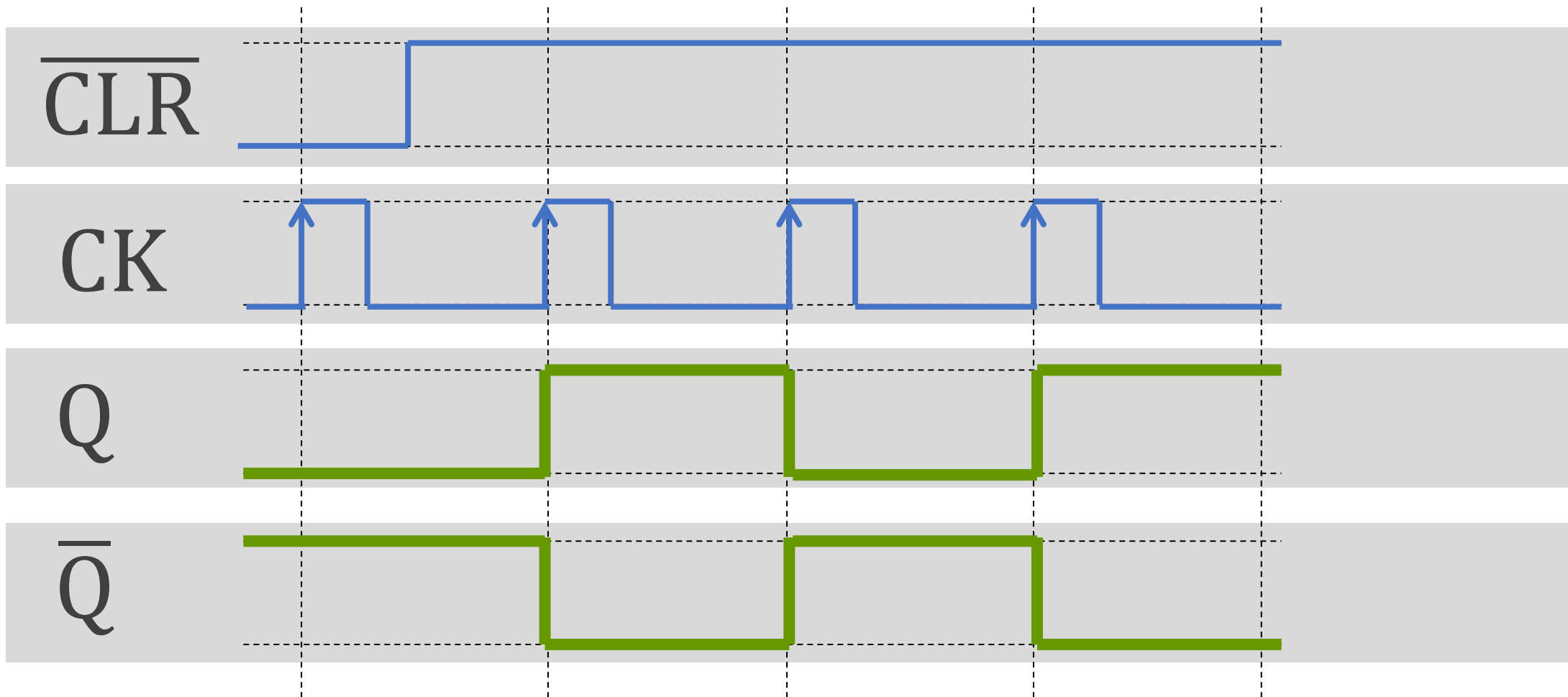
④ 次のクロックの変化で



結果

クロックのエッジで
Qが0→1、1→0のように
反転し続ける。

タイムチャート



クロックに比べ、**半分のスピード**になる。
これを**2分周**という。

複数のD-FFを使って

非同期式 2^n 進カウンタが
構成できる

2個 ... $2^2 = 4$ 進カウンタ

3個 ... $2^3 = 8$ 進カウンタ

n個 ... 2^n 進カウンタ

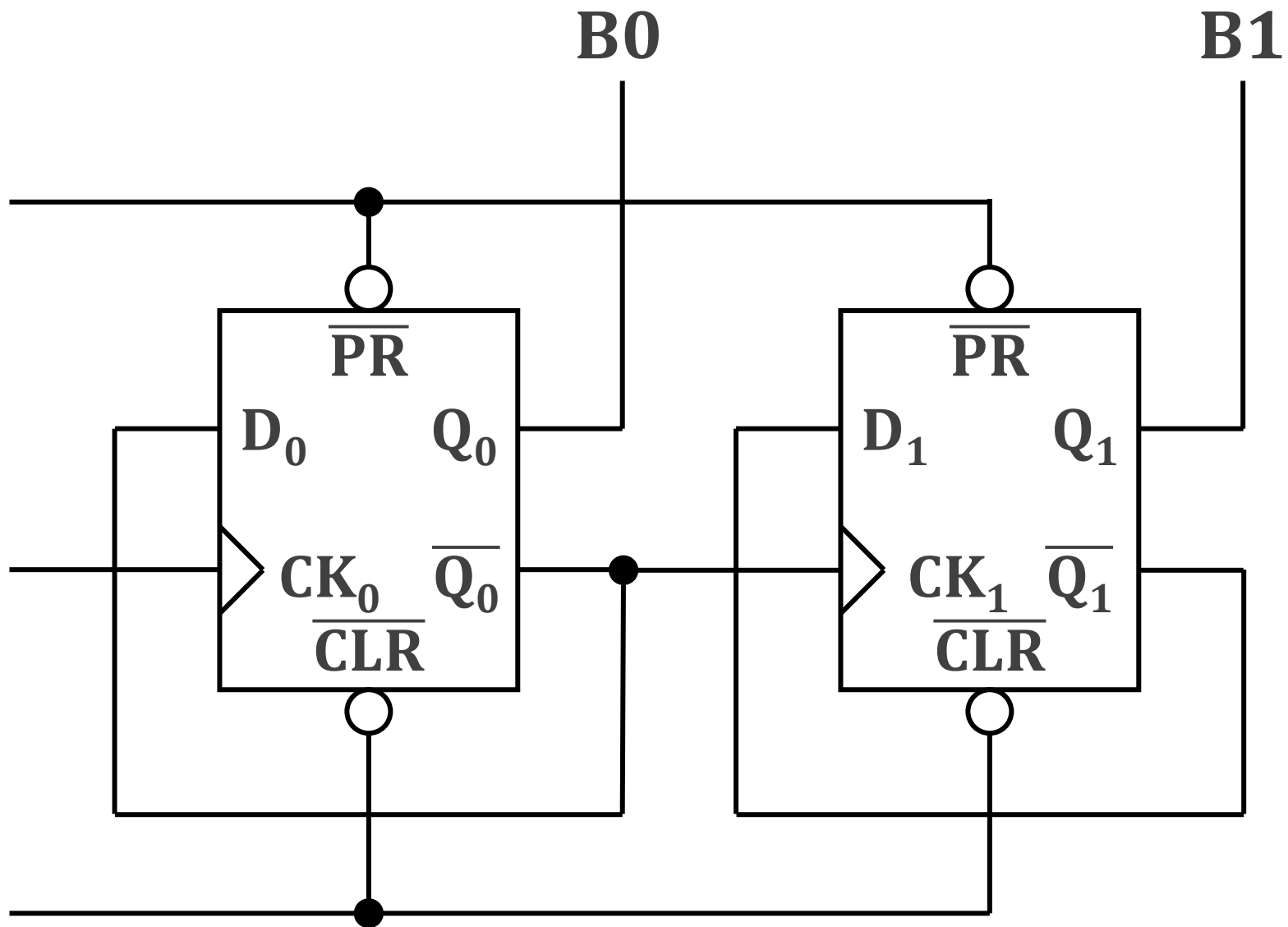
非同期式カウンタ

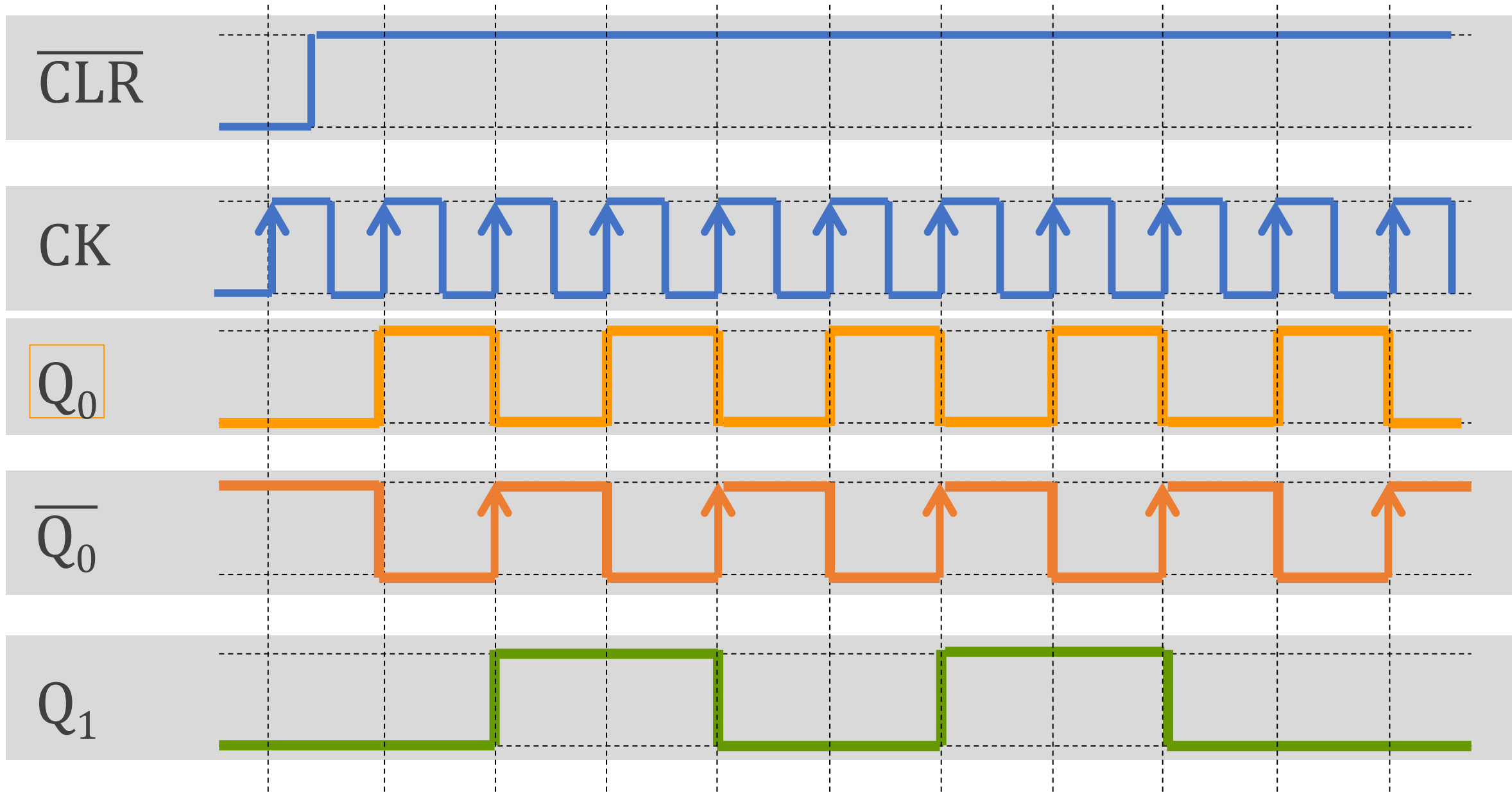
先頭のD-FFだけに
クロックを入力。

3

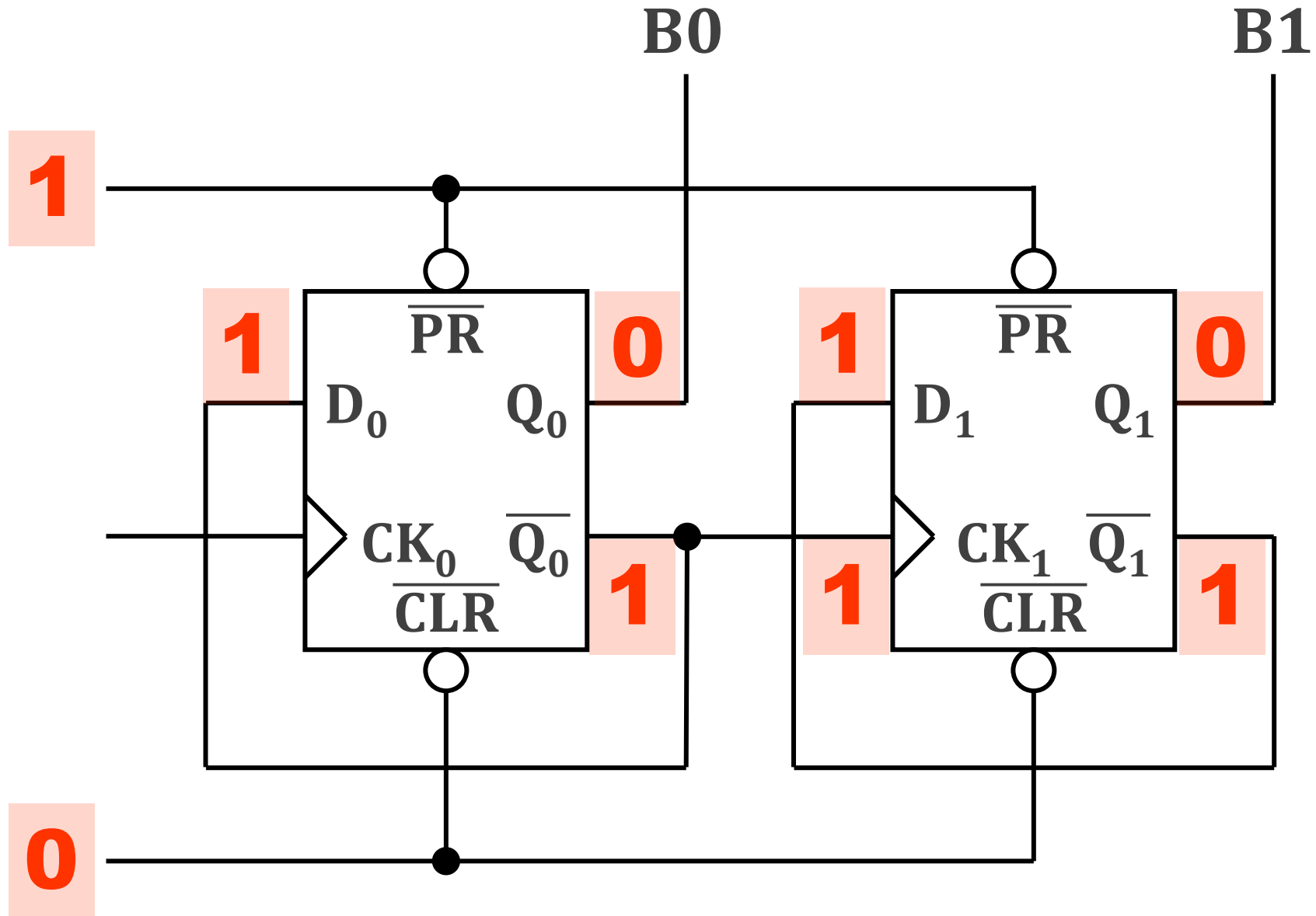
D-FFによる非同期式 4 進カウンタ

非同期式4進カウンタ

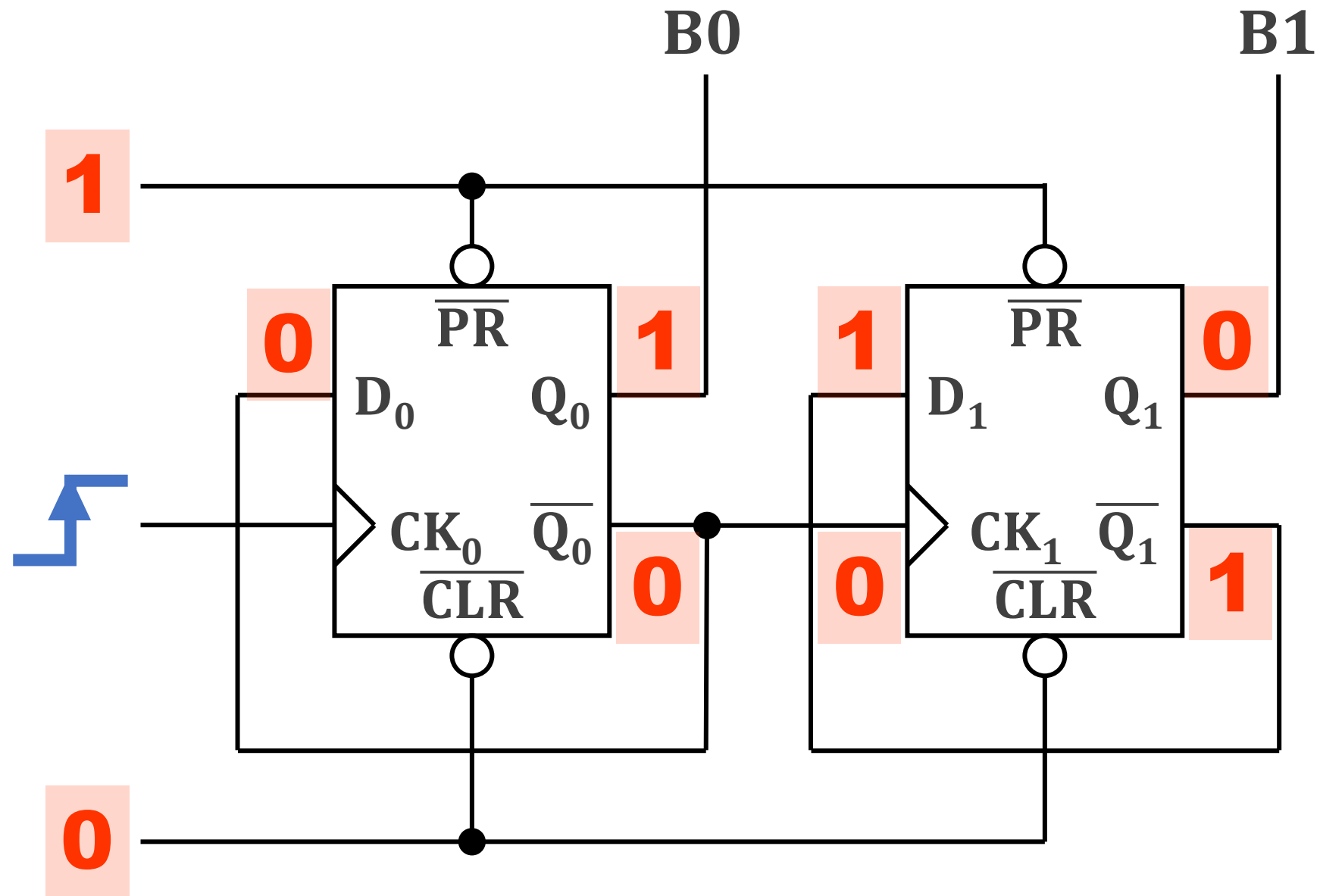




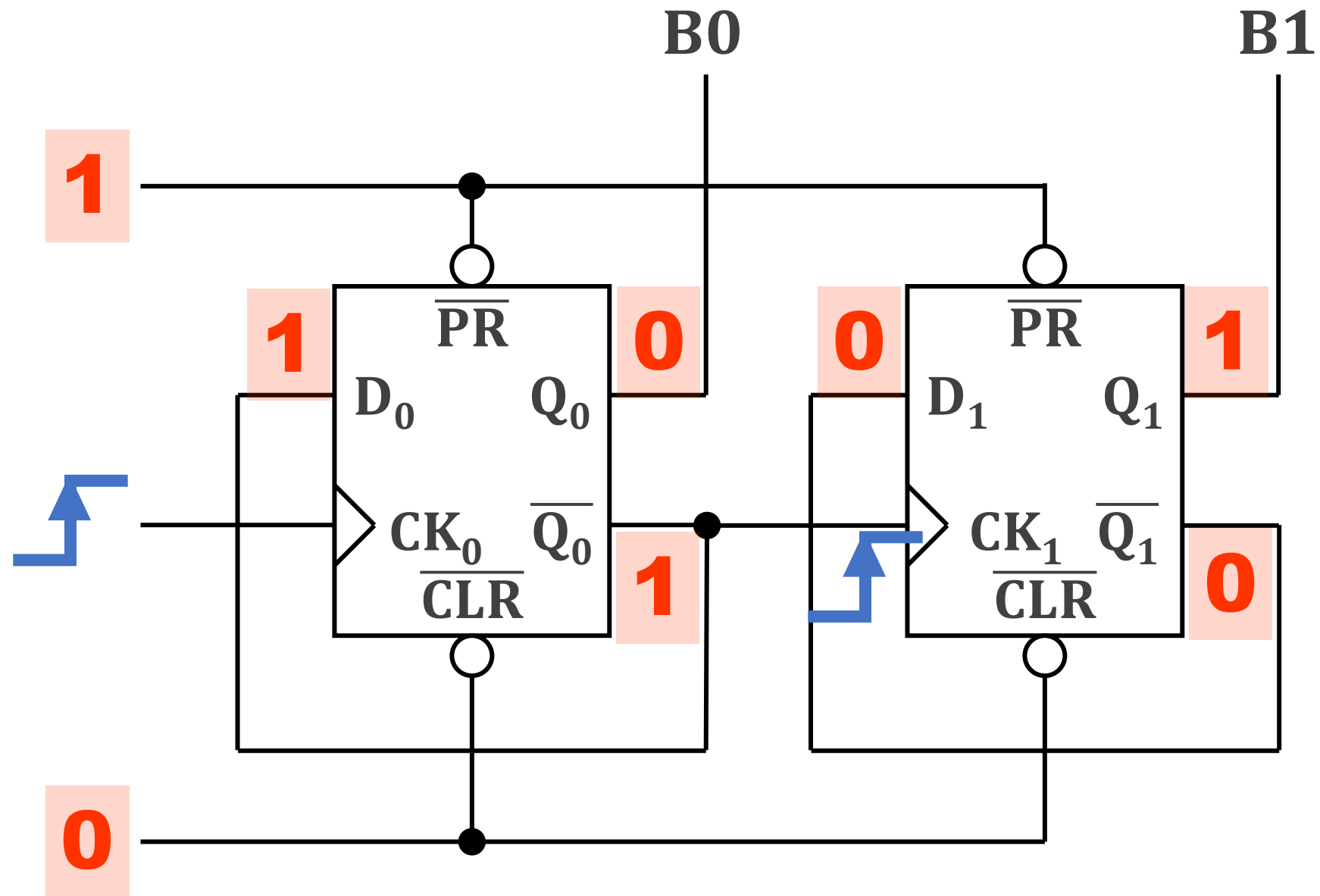
まずリセット



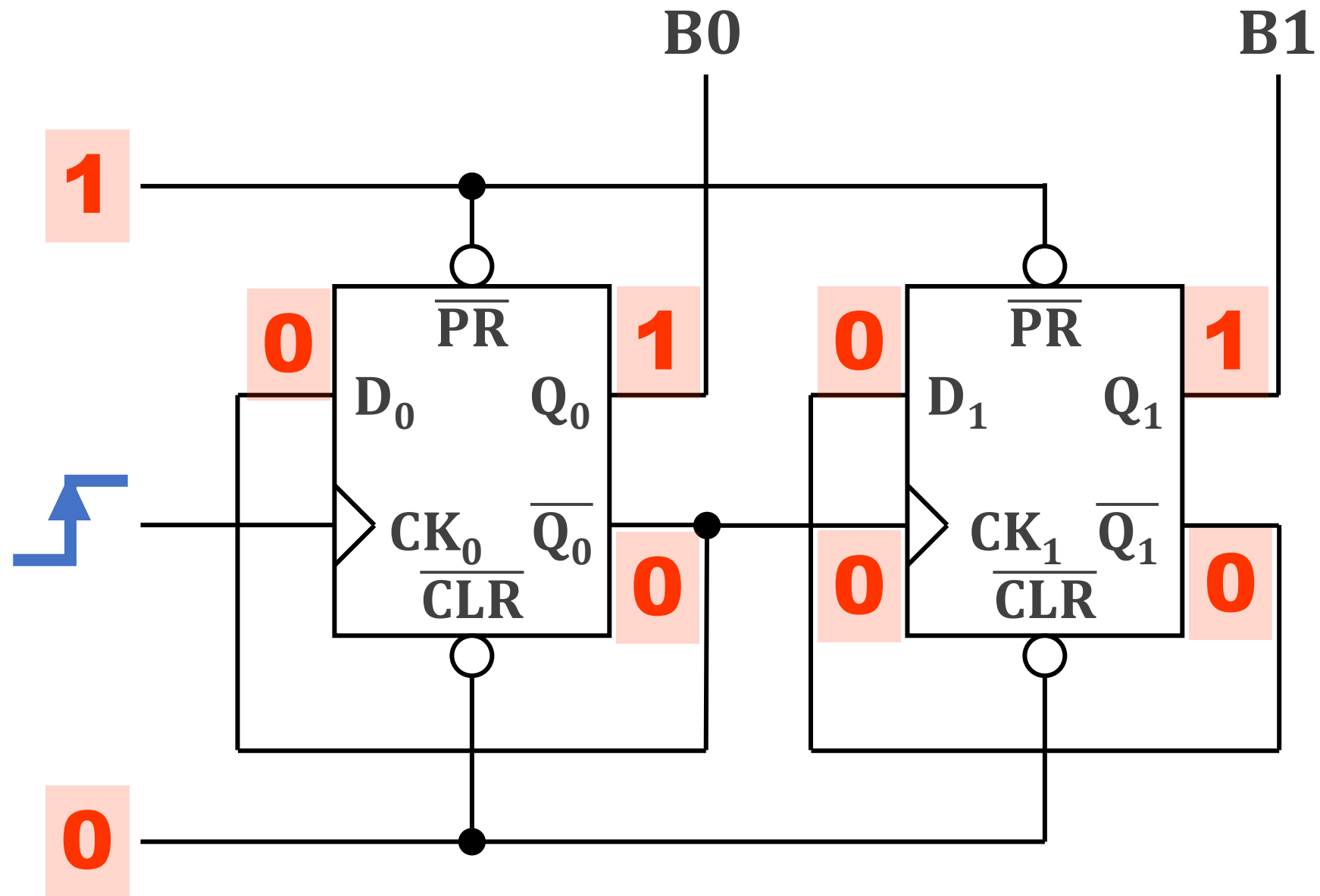
クロック1回目



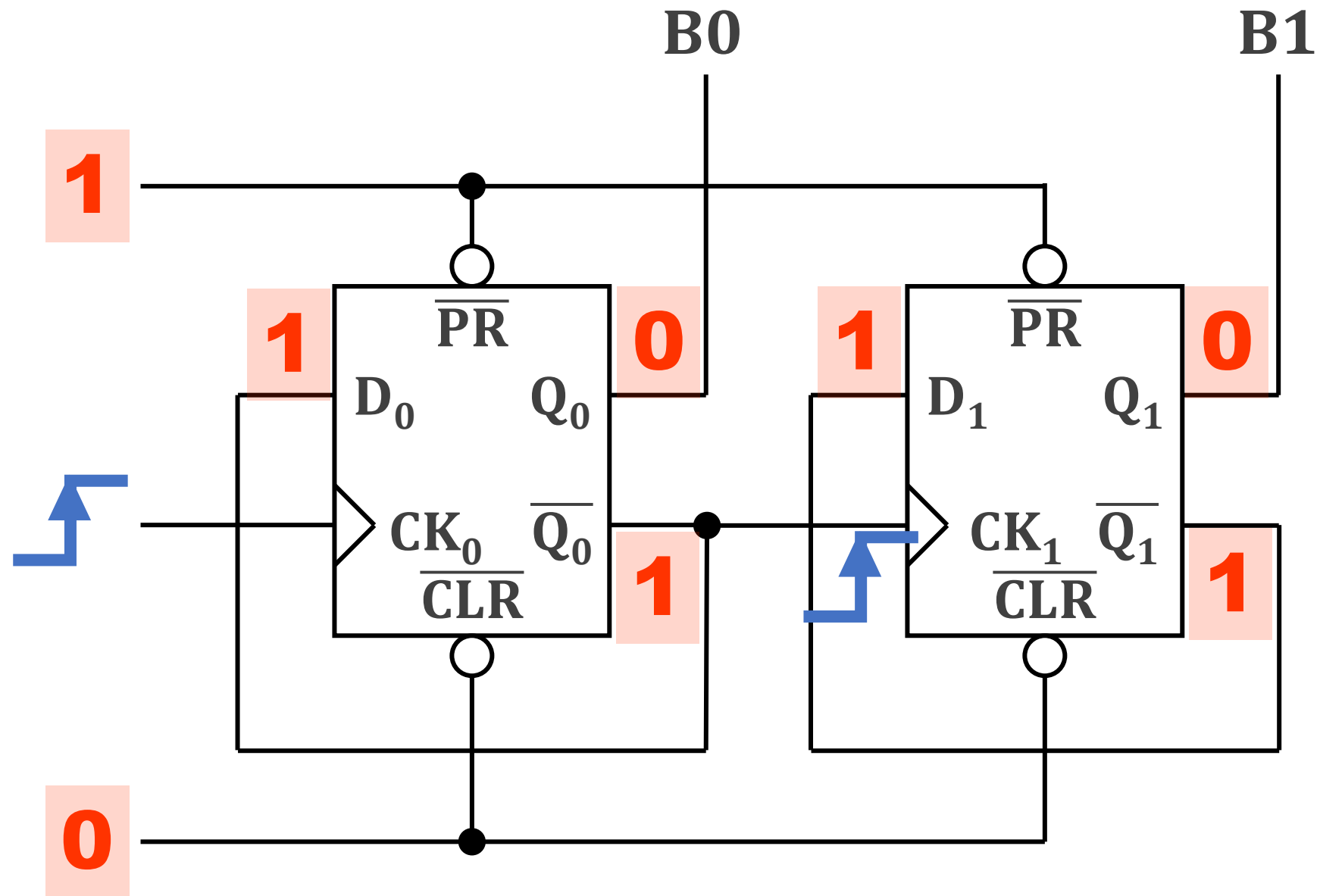
クロック2回目

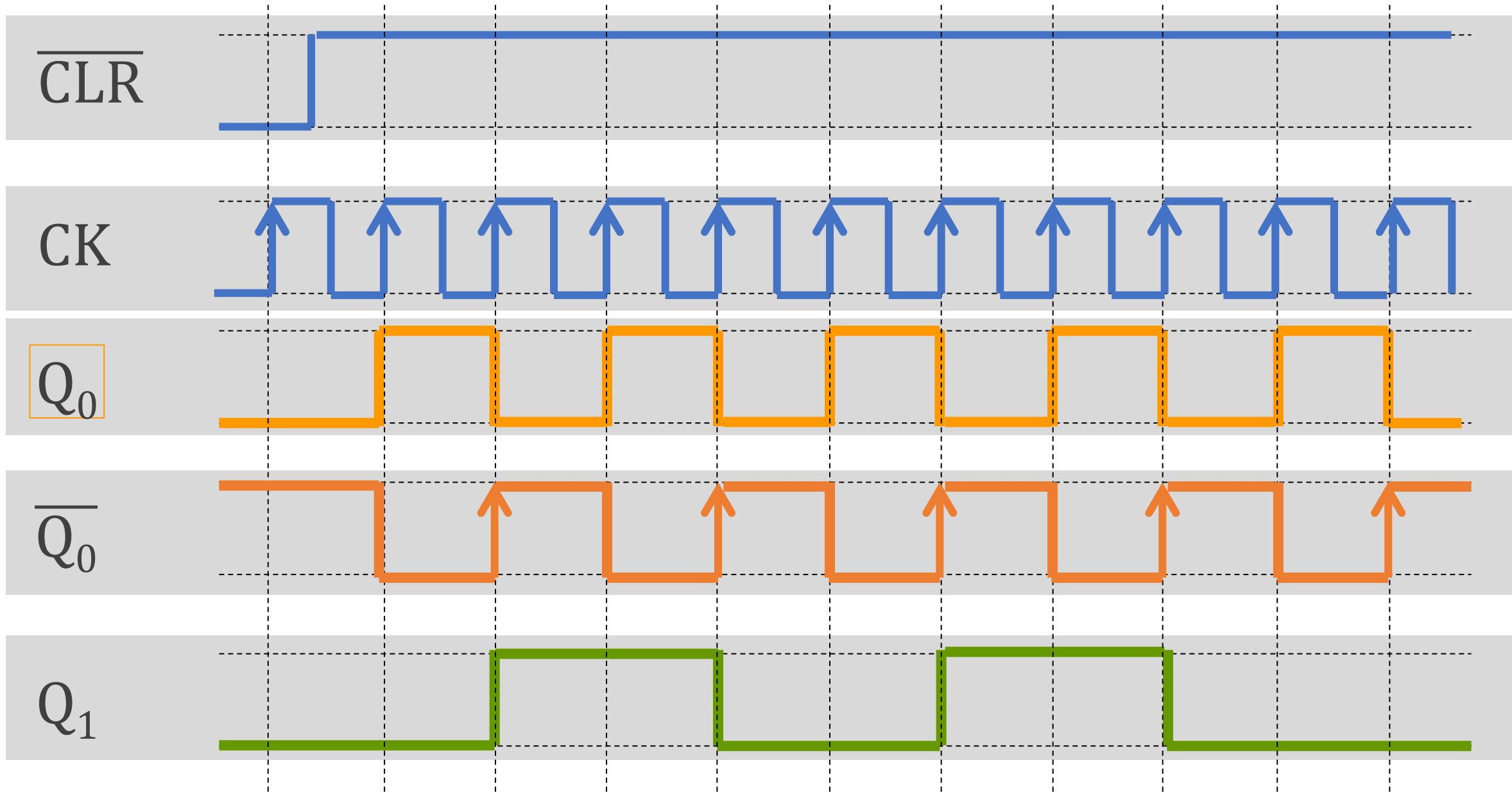


クロック3回目



クロック4回目 最初に戻った





4

D-FFによる非同期式N進カウンタ

非同期式N進カウンタ

2^n 進カウンタが
Nになった瞬間にリセットする

例：7進カウンタ

0	1	2	3	4	5	6	7			
0	1	2	3	4	5	6	0	1	2	3

7になった瞬間に
リセット！

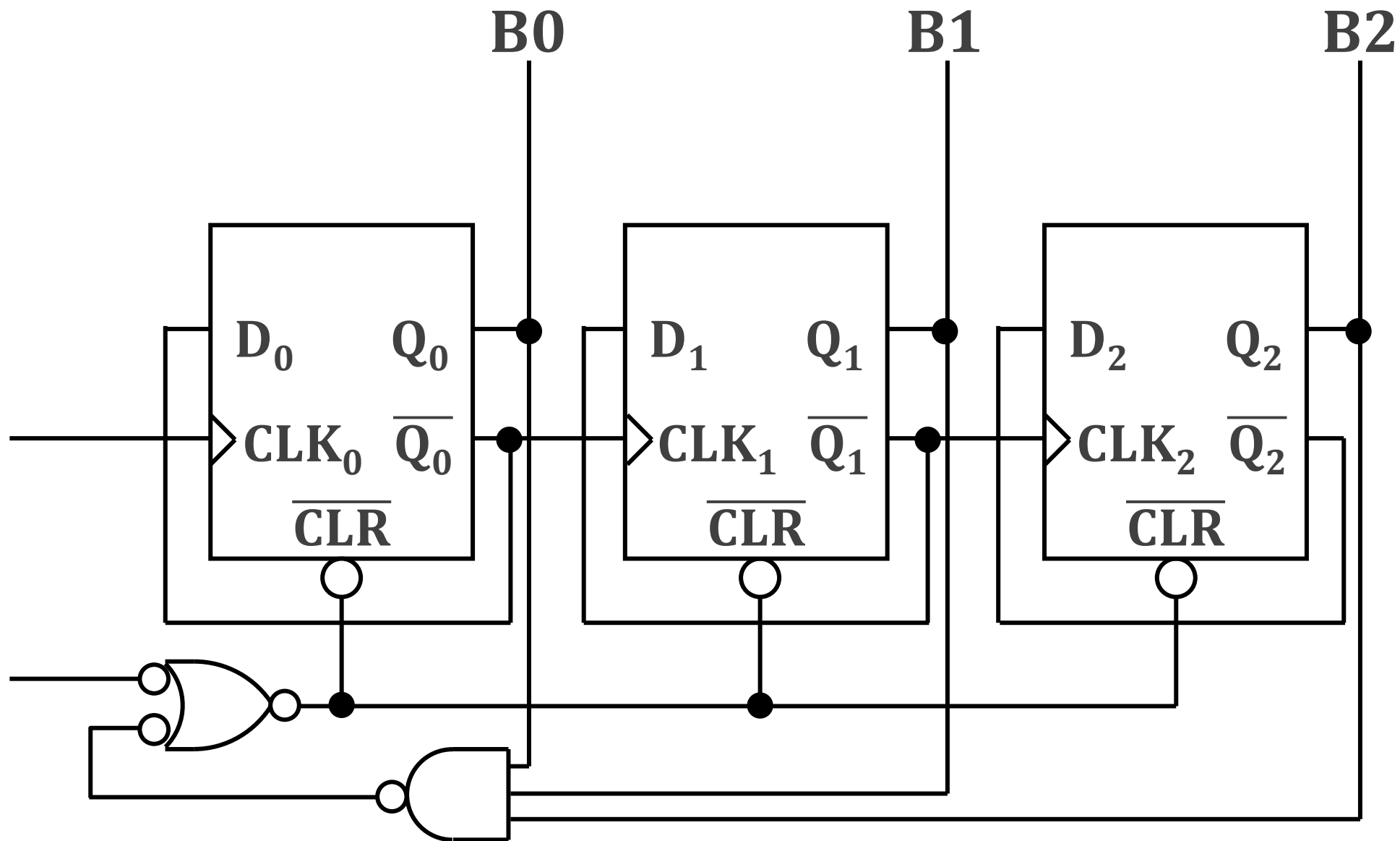
非同期式N進カウンタの設計

$N \leq 2^n$ を満たす

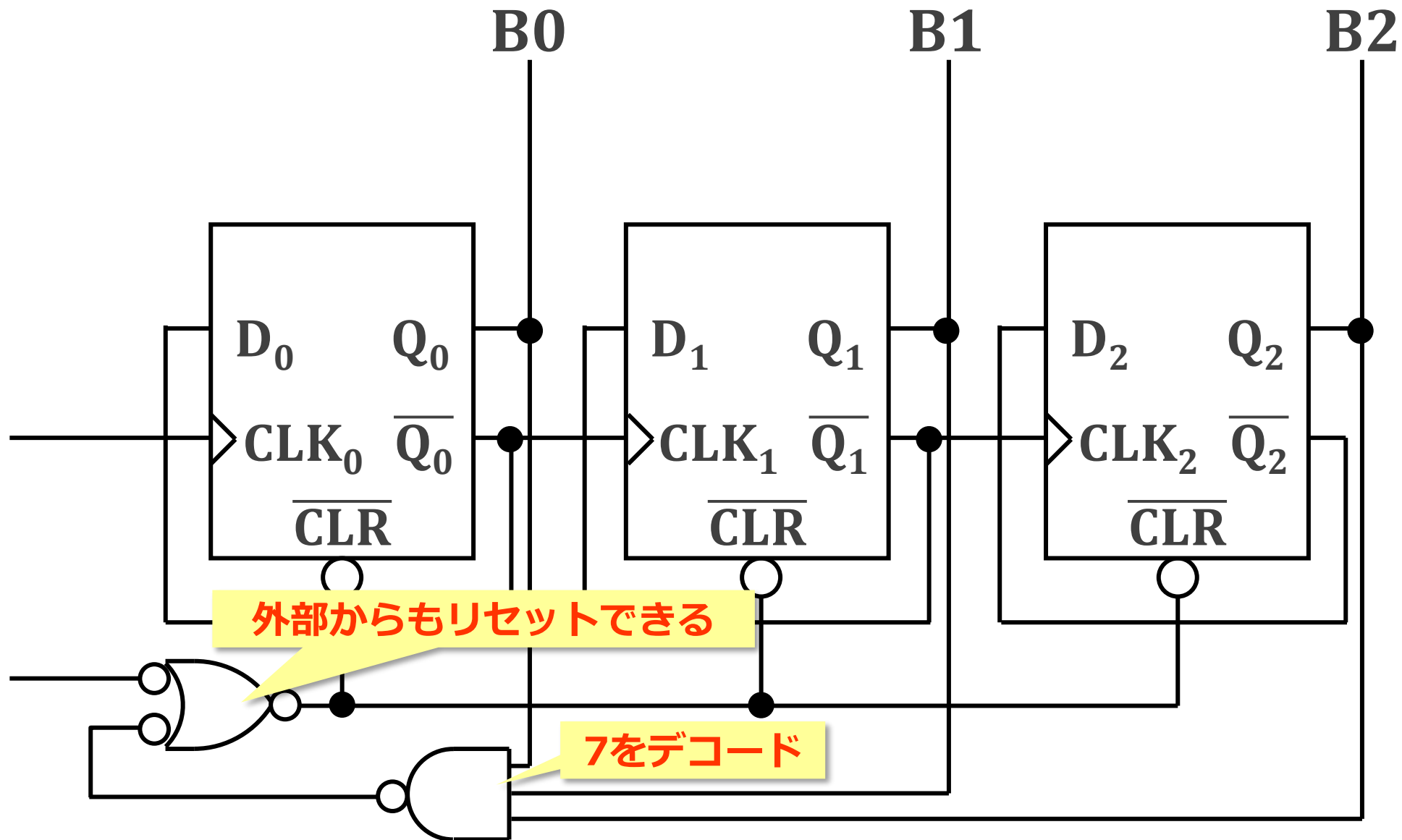
2^n 進カウンタを構成

Nをデコードした回路でリセットする

設計演習 非同期式7進カウンタ

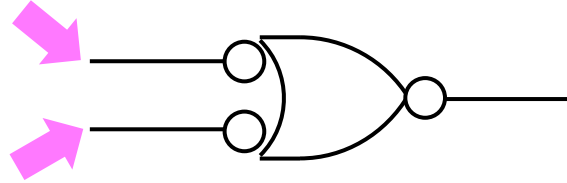


設計演習 非同期式7進カウンタ

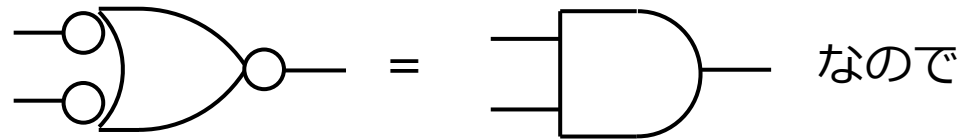


リセット回路の詳細

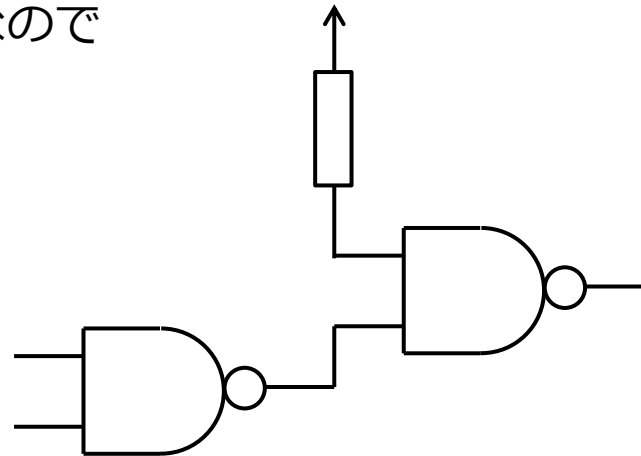
外部からのリセット信号



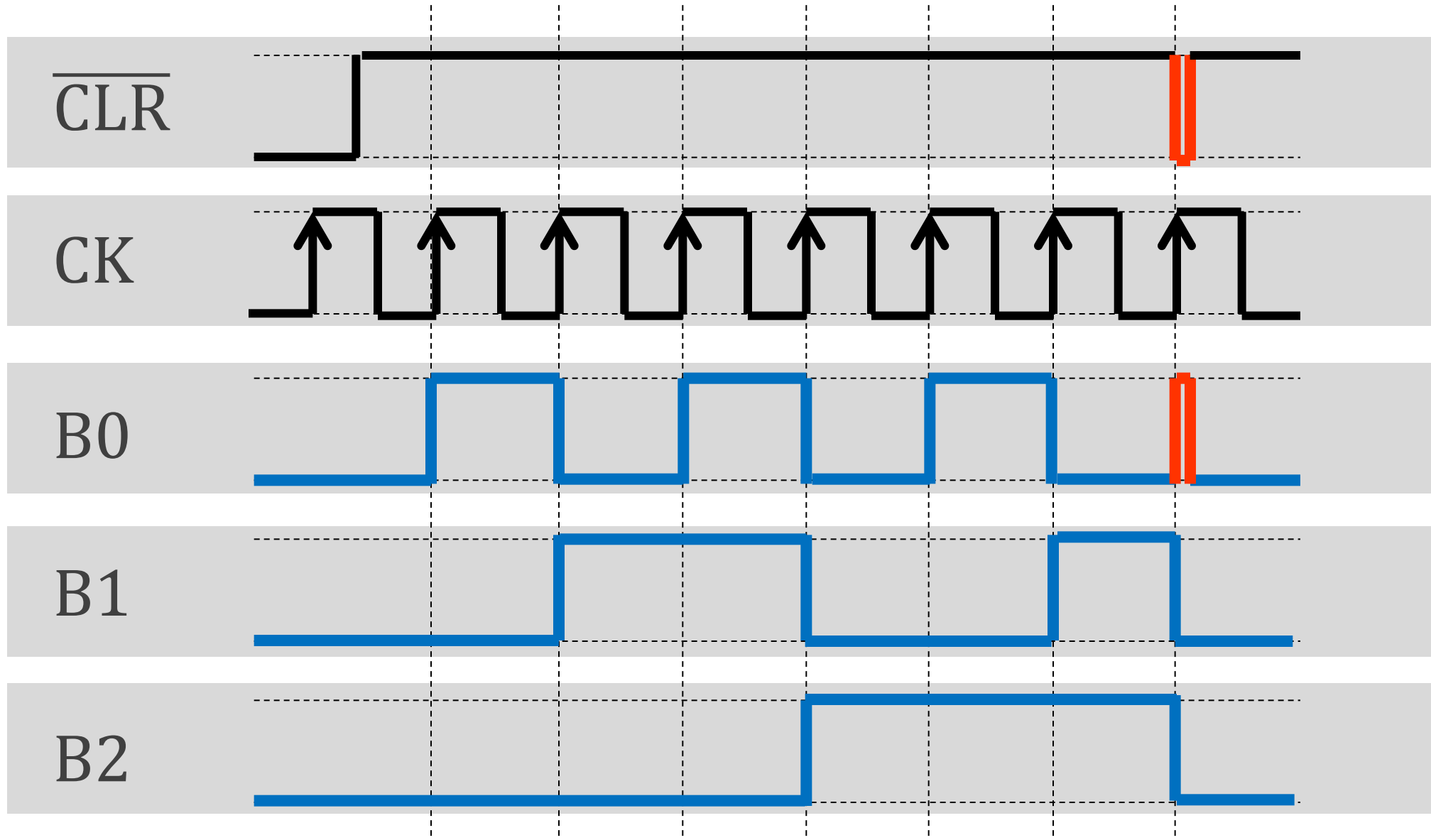
特定の数値になったとき
リセット（デコーダからのリセット信号）



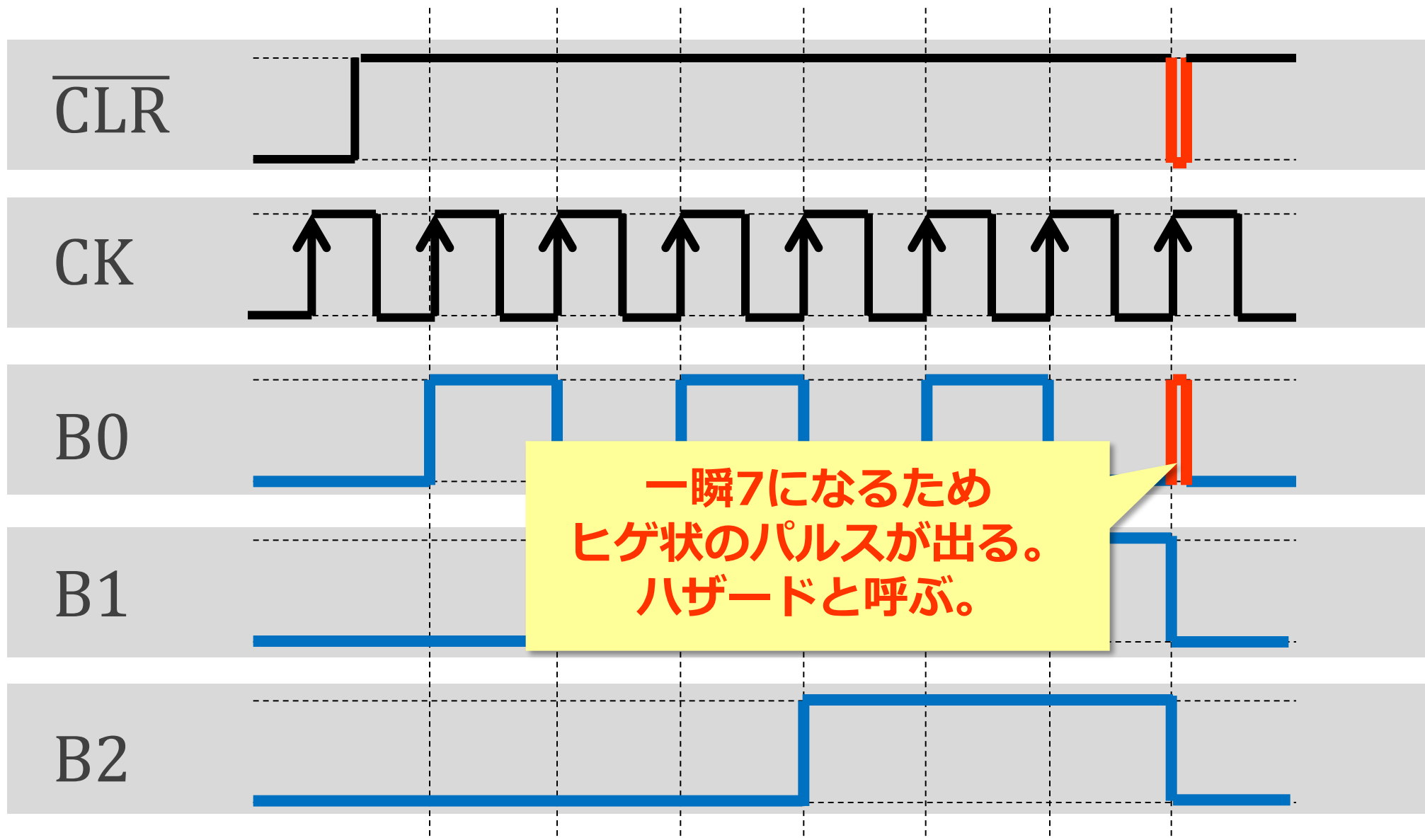
NANDだけで構成すると・・・



非同期式7進カウンタのタイムチャート



非同期式7進カウンタのタイムチャート



ハザード

2^n を除く

非同期式カウンタの

特定のビットに

必ずハザードが生じる。

練習問題

D-FFによる
非同期式10進カウンタ
を設計しなさい。 (できれば回路も製作)

ハザードが発生する
ビットも特定すること

練習問題 手順1

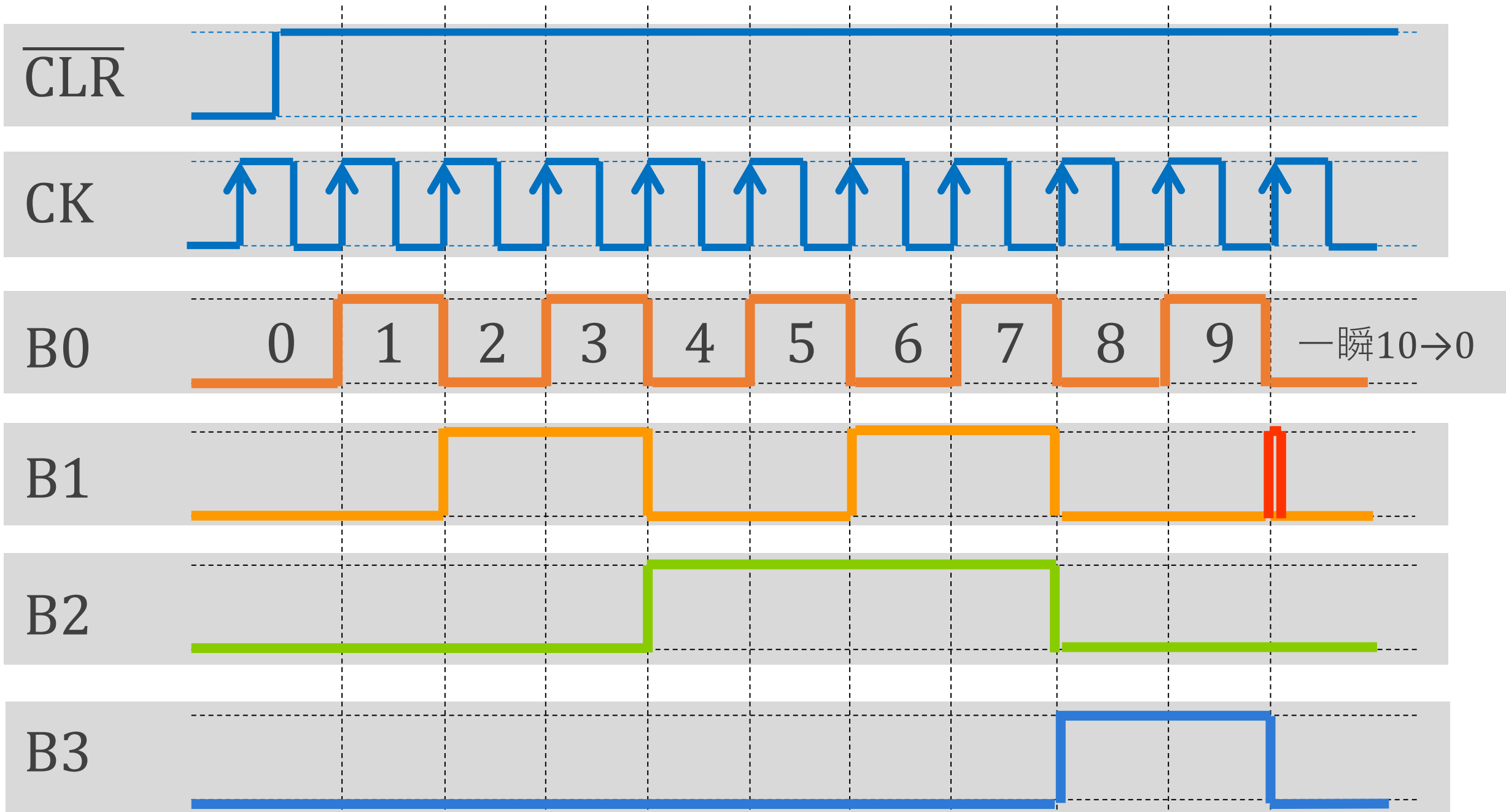
$10 \leq 2^n$ を満たす n は
 $n=4$ ($2^4=16$)

16進カウンタを構成し、
カウント値が10になった瞬間にリセット

練習問題 手順2

カウント値	B3	B2	B1	B0
8	1	0	0	0
9	1	0	0	1
10 → 0	1	0	1	0
	0	0	0	0
1	0	0	0	1

どこがハザードになるかな？？？



練習問題 10のデコード

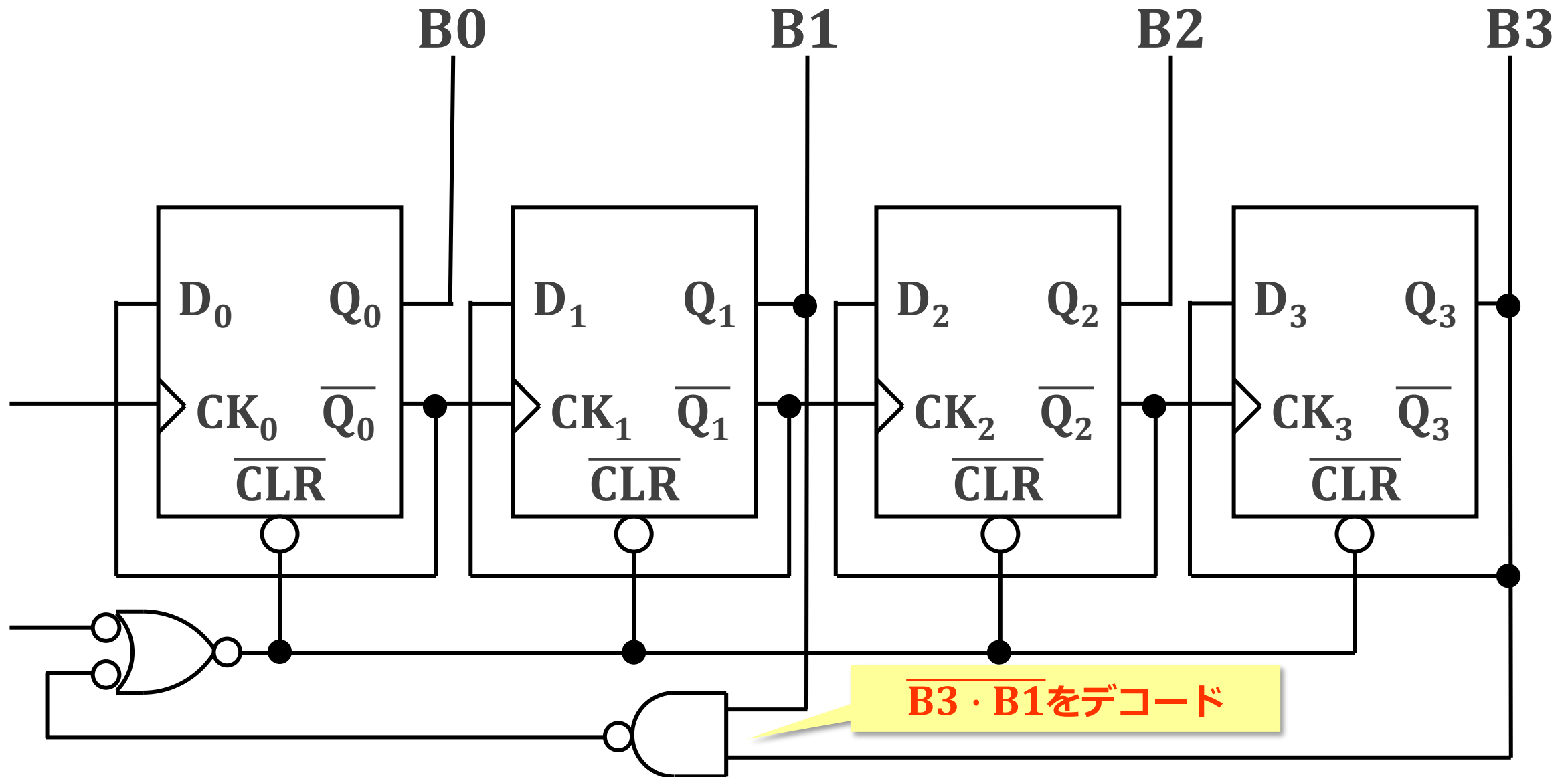
出力4ビット全部をデコードしなくていい



B3とB1が両方1になるのは10が最初

$$\overline{\text{CLR}} = \overline{B3 \cdot B1}$$

設計演習 非同期式10進カウンタ



第15講 順序回路（2）D-FF

1. D-FFとは
2. D-FFによる非同期式カウンタ
3. 非同期式4進カウンタ
4. 非同期式N進カウンタ